

論文

SC回路を用いた多値データ伝送用ベースバンドLSI

正員 中山 謙二[†] 正員 市原 正貴^{††}

A Multi-Level Data Transmission Baseband LSI Using SC Circuits

Kenji NAKAYAMA[†] and Masaki ICHIHARA^{††}, Members

あらまし 多値データ伝送システムのベースバンド系をSC回路技術を用いてLSI化した。波形成形フィルタ、クロック再生用の全波整流回路および狭帯域フィルタ等をSC回路で構成した。すべてのフィルタを時分割多重で構成することにより小形化、低消費電力化を図った。SC回路のチップ面積と消費電力は総容量に比例し、また総容量は容量比と単位容量の大きさで決まる。このため、クロック再生に用いられる狭帯域フィルタをマルチレート構成とし、 N パスフィルタを用いて容量比を圧縮した。更に、 Q の高いフィルタでは容量分割を適用して容量比を圧縮した。次に、すべての容量を同形の単位容量の整数倍として構成することにより、 0.1 pF の単位容量を用いて所望の比精度を達成した。容量の整数化による特性劣化は離散近似により最小化した。 N パスフィルタの時分割多重構成では配線間の寄生容量のため特性が大きく劣化する。この影響を解析すると共に、レイアウト上の改善策を提案した。以上の結果、多値データ伝送用ベースバンドLSIをチップサイズ $4.3\times 4.2\text{ mm}^2$ 、消費電力 35 mW で実現できた。

1. まえがき

スイッチトキャパシタ(SC)回路はアナログ回路を集積化する有望な技術として近年急速に発達してきた^{(1)~(4)}。SC回路は能動RCなどのアナログ回路に比べて小形化、高周波数化、低消費電力化が可能であり、また製造偏差や温度変動が小さく高精度な特性を実現できる。更に、機能面では可変特性、時分割多重構成が容易であり、またクロック周波数に同期して動作するため高精度な同調が可能である。

このような技術的な優位性を背景として、PCMコーデック⁽⁵⁾をはじめ、モデム⁽⁶⁾、音声スペクトル分析器⁽⁷⁾、加入者線を用いたデジタル伝送用の自動等化器^{(8),(9)}、移動無線のベースバンド系⁽¹⁰⁾等がモノリシックICとして実用化されている。特に、音声スペクトル分析器ではフィルタの総次数が308次にも及び、デジタルフィルタを用いる方式に比べて集積度が高いことが実証されている⁽⁷⁾。周波数帯域も音声帯域から高速デジタル伝送帯域($\sim 320\text{ bit/s}$)まで実用化されて

いる⁽¹¹⁾。特に、アナログ・デジタル変換が必要とされるシステムではSC回路技術を用いてMOS-IC化する方法が有効である。

本論文では、多値データをベースバンドまたは搬送帯域で伝送するシステムのベースバンド系のLSI化について報告する。波形成形フィルタ、クロック再生用の全波整流回路および狭帯域フィルタ等をSC回路で構成する。更に、すべてのフィルタを時分割多重で構成することにより小形化、低消費電力化を図る。SC回路の総容量を低減するために、容量比と単位容量を小さくする。まず、クロック再生の狭帯域フィルタをマルチレート構成とし、 N パスフィルタを用いて容量比を圧縮した。次に、 Q の高いフィルタでは容量分割を適用して容量比を圧縮する。更に、すべての容量を同形の単位容量の整数倍として構成することにより、小さい単位容量を用いて所望の比精度を達成する。 N パスフィルタの時分割多重構成では配線間の寄生容量のため特性が大きく劣化する。この影響を解析すると共に、レイアウト上の改善策を提案する。実験結果として、各ブロックの出力波形、フィルタ特性、および雑音特性等を示し、設計値との比較を行う。

[†] 金沢大学工学部, 金沢市
Faculty of Technology, Kanazawa University, Kanazawa-shi, 920
Japan

^{††} 日本電気株式会社システムLSI推進開発本部, 川崎市
System LSI Development Division, NEC Corporation,
Kawasaki-shi, 213 Japan

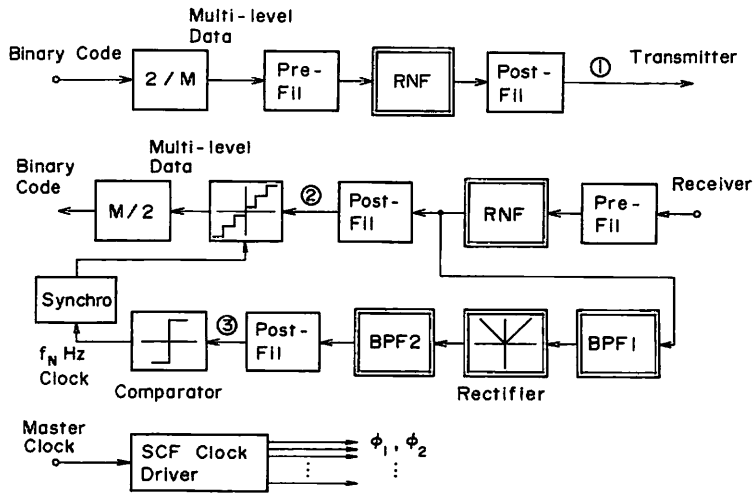


図 1 多値データ伝送のベースバンドシステム
Fig. 1 Baseband system for multi-level data transmission.

2. データ伝送のベースバンド系

2.1 全体構成

多値データ伝送システムのベースバンド系を図1に示す。送信側では2進符号を多値データに変換し、これをルートナイキストフィルタ(RNF)に通して帯域制限と波形成形を行う。RNFでは方形波のアパーチャ効果が補正されている。RNFの出力信号が変調され、搬送波帯域で伝送される。

受信側では、搬送波帯域の信号が復調器でベースバンド信号に変換される。これがRNFを通して符号間干渉のない波形に変換される。この波形が多値データのレート f_N Hz でサンプルされ、多値レベルが検出される。更に、多値データが2進符号に変換される。サンプル点はアイの最大開口点に同期している。

多値データを検出するクロックは受信信号から再生される。 $f_N/2$ Hz を中心とするバンドパスフィルタ(BPF1)で $f_N/2$ Hz の信号を抽出する。これを全波整流し、狭帯域BPF2により f_N Hz 成分を取り出す。これを比較器に通すことにより、 f_N Hz のクロックを再生する。更に、アイの最大開口点に同期するように位相を調整する。

2.2 SC回路による構成

二重枠で囲まれたブロックがSC回路で実現される。SC回路はサンプル系であるから、入力側に帯域制限のためのプレフィルタ(Pre-Fil)、出力側に平滑のためのポストフィルタ(Post-Fil)が必要とされる。こ

れらはRC、または能動RC回路を用いて構成される。このようなアナログフィルタの周波数特性は抵抗およびキャパシタの値そのもので決まるため、カットオフ周波数が低いほど素子値が大きくなり、従ってチップ面積が大きくなる。更に、MOS-ICでは抵抗やキャパシタの値は製造時のばらつきや温度変動などのため20~30%変動するため、フィルタ特性の変動も大きい。プレ、ポストフィルタを小形化するために、SC回路のサンプリング周波数をデータレート f_N の16倍に設定する。

クロックドライバーはマスタークロックからSC回路を制御をするクロックを生成するものである。

3. SC回路の設計

3.1 ルートナイキストフィルタ

今回の設計では、ロールオフ率を60%、阻止域減衰量を40dB以上とする。また、次式で定義される符号間干渉の目標値を3%以内とする。

$$ISI = \frac{1}{y(t_0)} \left\{ \sum_{n \neq 0}^5 y^2(t_0 - nT) \right\}^{1/2} \quad (1)$$

ここで、 $y(n)$ は図1のブロック図において、送信側のプレフィルタに方形波を入力し、ポストフィルタ①の出力を受信側のプレフィルタに直接入力したときのポストフィルタ②の出力波形である。 $y(t)$ は $t=t_0$ でピーク値をとり、 $T=1/f_N$ 秒である。伝達関数は阻止域減衰量を保証しながら、時間域で符号間干渉が最小となるように設計される⁽¹²⁾。アパーチャ効果は近似プロ

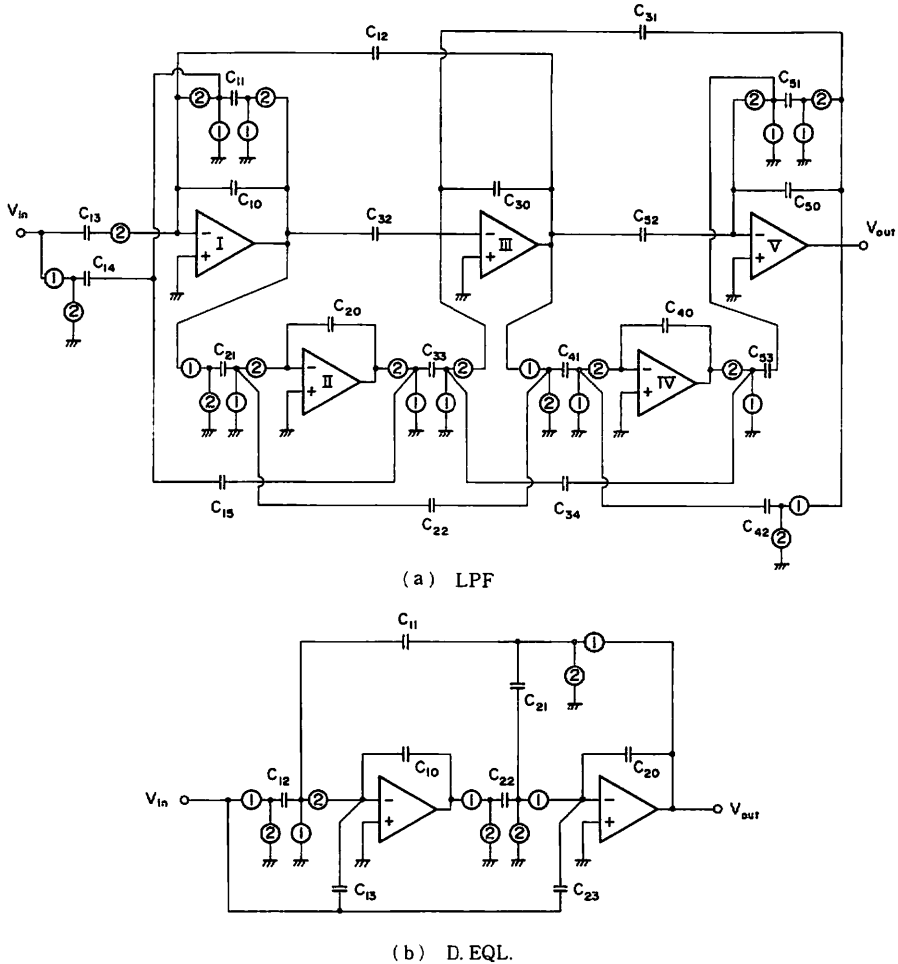


図 2 ルートナイキストフィルタのSC回路構成
Fig. 2 SC circuit configuration for root Nyquist filter.

グラムにおいて入力波形を方形波とすることにより自動的に補正される。上記の所望特性は5次のローパスフィルタ (LPF) と2次の遅延等化器 (D. EQL) を用いて実現できた。

SCFの回路構成はLPFがアナログ積分器(1/s)を双1次積分器(BLI)で置換するLCラダー形SCF⁽²⁾で、D. EQLが状態変数形SCF⁽¹³⁾で構成される。回路図を図2に示す。(a)がLPFで(b)がD. EQLである。①, ②は $16f_N$ Hzのクロック信号 ϕ_1, ϕ_2 で制御されるスイッチである。 ϕ_1, ϕ_2 が“1”のときにオンし, ϕ_1, ϕ_2 が“0”のときにオフする⁽²⁾。これらの回路ではスイッチが共用化により削減されている。

以上の過程で得られる容量値は実数である。一方、MOS-ICではすべての容量を同形の単位容量の整数

倍として構成することにより、小さい単位容量を用いても高精度の容量比を実現することができる⁽²⁾。容量値を整数化するとフィルタ特性が劣化するが、離散近似⁽¹⁴⁾によりこの劣化量を最小にする。素子感度によって選択された3~5個のキャパシタについて、初期値 ± 2 の範囲で最適解を探索する。特性劣化が最小になるまでこの操作を繰り返す。最適化前後の容量値を表1に示す。

式(1)で定義される符号間干渉は容量の整数化前においては2%であった。整数化により5%まで大きくなったが、離散近似により3%に改善された。

3.2 データサンプル用クロック再生

多値データをサンプルするクロックは受信信号をBPF1, 全波整流器, 狭帯域BPF2および比較器に通し

表1 ルートナイキストフィルタの整数化前後の容量値

	(a) LPF	
	LPF	
	整数化前	整数化後
C ₁₀	9.73	8
C ₁₁	1.83	2
C ₁₂	2.78	3
C ₁₃	1.0	1
C ₁₄	2.0	2
C ₁₅	2.60	3
C ₂₀	9.22	17
C ₂₁	1.20	2
C ₂₂	1.0	2
C ₃₀	24.92	50
C ₃₁	1.0	2
C ₃₂	5.06	12
C ₃₃	3.93	10
C ₃₄	2.35	3
C ₄₀	10.29	20
C ₄₁	1.53	3
C ₄₂	1.0	2
C ₅₀	4.75	9
C ₅₁	1.0	2
C ₅₂	1.01	2
C ₅₃	1.55	3

	(b) D.EQL	
	D.EQL	
	整数化前	整数化後
C ₁₀	17.91	36
C ₁₁	1.0	2
C ₁₂	1.0	2
C ₁₃	8.03	16
C ₂₀	6.97	28
C ₂₁	1.0	4
C ₂₂	2.23	9
C ₂₃	7.97	32

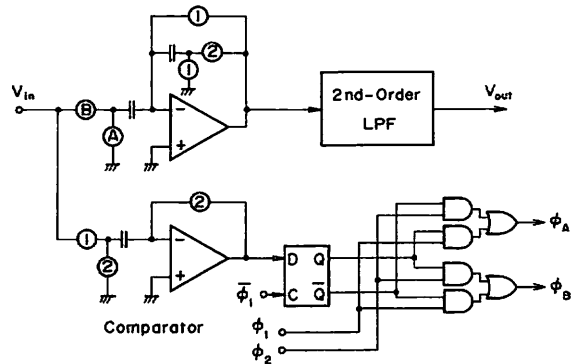


図3 SC回路を用いた全波整流器
Fig. 3 Full-wave rectifier using SC circuits.

て再生される。

BPF1により抽出された $f_N/2\text{Hz}$ 成分を全波整流して $f_N\text{Hz}$ 成分を抽出する。BPF1の出力波形は正確に $2/f_N$ 秒の間隔で零交差する必要がある。RNFはナイキスト波形形成の要求から設計されるから、BPF1の伝達関数を次の零交差誤差が最小になるように時間域で設計する。

$$E_{\text{zero}} = \left\{ \sum_{n=-5}^5 e^{2(t_0 - n2T)} \right\}^{1/2} \quad (2)$$

容量値の整数化後で2%であった。伝達関数は5次である。SC回路は状態変数形回路を用い、容量分割⁽¹⁵⁾により容量比を圧縮している。

$f_N/2\text{Hz}$ の正弦波を全波整流して $f_N\text{Hz}$ の基本波成分を生成する。従来の全波整流回路はトランジスタやダイオード等の素子の特性そのものを利用している。しかし、LSI内部に置いてこれらの素子は特性変動が大きく、量産上問題がある。このため、今回はSC回路を用いて構成した。図3に回路を示す。入力 V_{in} が正の

ときは $\phi_A = \phi_1, \phi_B = \phi_2$ となり、 V_{in} が負のときは $\phi_A = \phi_2, \phi_B = \phi_1$ となる。比較器はオペアンプのオフセット電圧の影響を受けない構成になっている。上側のSC回路はゲインステージであるが、これもオフセットを相殺できる構成になっている。全波整流による高域成分の折返しを防ぐために、サンプリング周波数を十分高く設定する ($16f_N\text{Hz}$)。また、3.3で述べるように、狭帯域BPF2のサンプリング周波数を容量比低減のために、 $4f_N\text{Hz}$ にするが、このときの折返しを避けるために2次LPFを後置する。

全波整流器の出力信号は直流成分と $f_N\text{Hz}$ の成分、およびその高調波を含んでいるからBPF2を通して $f_N\text{Hz}$ 成分のみを取り出す。このBPF2の振幅特性は $f_N\text{Hz}$ の成分を高精度で抽出する必要があり、非常に狭帯域な特性が必要である。また、中心周波数に対しても高い精度が要求される。

3.3 狭帯域BPFの構成

一般に、SC回路では最小容量を1としたときの総

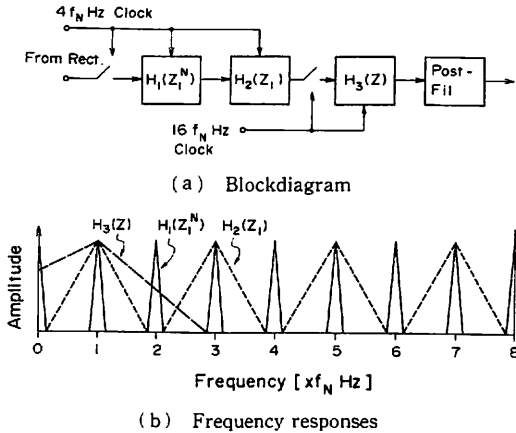


図4 狭帯域BPF2のマルチレート構成
Fig. 4 Multirate synthesis for narrow band BPF2.

容量はサンプリング周波数 f_s と帯域幅 Δf の比 $f_s/\Delta f$ に比例する⁽¹²⁾。 Δf としては通常 10 数 Hz 程度が必要とされるから、 f_s が 100 kHz 以上の場合には総容量が非常に大きくなる。これを低減するには、3.1 で述べた単位容量そのものを小さくすると共に、容量比を圧縮することが必要である。容量比圧縮のために、狭帯域BPF2を図4のようにマルチレート構成⁽²⁾とする。

初段のフィルタを N パスフィルタ⁽¹⁶⁾とし、サンプリング周波数を $4f_N$ Hz とする。伝達関数は $H_1(z_1^N)$ 、 $z_1 = \exp(j2\pi f/4f_N)$ 、 $N=4$ 、であるから、実質的なサンプリング周波数は f_N Hz になる。全波整流器の出力は $16f_N$ Hz サンプルであるから、これを $4f_N$ Hz にダウンサンプルして N パスフィルタに入力する。 N パスフィルタの次数として1次と2次を検討した。4.3 で述べるように、時分割多重構成における寄生容量の影響を考慮すると、1次SCFの方がチップ面積の点で有効である。伝達関数を

$$H_1(z_1^N) = \frac{a}{1 - bz_1^{-N}}, \quad 0 < b < 1 \quad (3)$$

とする。ここで、 a と b は容量比から決まる定数である。 N パスフィルタのサンプリング周波数を f_{s1} とすると、 N パスフィルタの周波数特性は f_{s1}/N 周期で繰り返す。従って、通過域の中心周波数も f_{s1}/N ごとに現れる。このとき、中心周波数の精度は f_{s1} の精度にのみ依存するため高精度で実現できる。容量比誤差の影響は帯域幅のずれとなって現れる。

N パスフィルタの周波数特性は f_N Hz 周期であるが、入力信号は $4f_N$ Hz サンプルであるため、図5に示すように $H_1(z_1^N)$ を伝達関数とする1次SCFを N 個

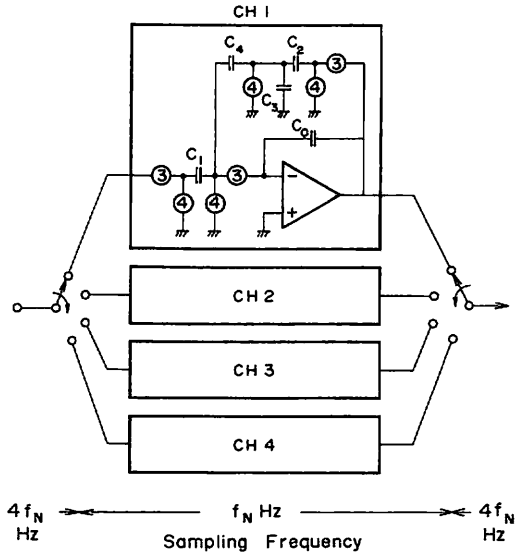


図5 図4の初段BPF ($H_1(z_1^N)$) の N パスフィルタによる構成

Fig. 5 N -path filter realization for first-stage BPF in Fig. 4.

並列接続して構成される。③、④は f_N Hz クロックで制御されるスイッチである。トグルスイッチを介して各サブフィルタに入力する信号は $4f_N/N$ Hz でサンプルされるから、サブフィルタの動作も $4f_N/N$ Hz サンプルとなる。サブフィルタのSC回路では、更に容量比の広がりを抑えるために $C_2 \sim C_4$ で容量分割⁽¹⁵⁾を行っている。

N パスフィルタの出力における直流成分と $2f_N$ Hz 近傍の繰返し成分を除去するために、 $4f_N$ Hz サンプルで動作する2次BPF(図4の伝達関数 $H_2(z_1)$ に相当)を用いる。更に、 $3f_N$ Hz 近傍とそれ以上の繰返し成分を除去するために、 $16f_N$ Hz サンプルの2次BPF(図4の伝達関数 $H_3(z)$ に相当)を用いる。ここで、 $z = \exp(j2\pi f/16f_N)$ である。 $H_2(z_1)$ と $H_3(z)$ は緩やかな特性であるから、容量比の広がりは大きくない。 $H_3(z)$ の出力信号はポストフィルタにより平滑化される。

4. 時分割多重構成

SC回路は基本的にはサンプル系であり、またキャパシタに電荷を保持するメモリ機能を有しているから時分割多重構成が可能である。これにより、オペアンプやキャパシタを削減することができる。

4.1 積分器の多重化

今回用いた多重化方法はクロック周波数を上げない

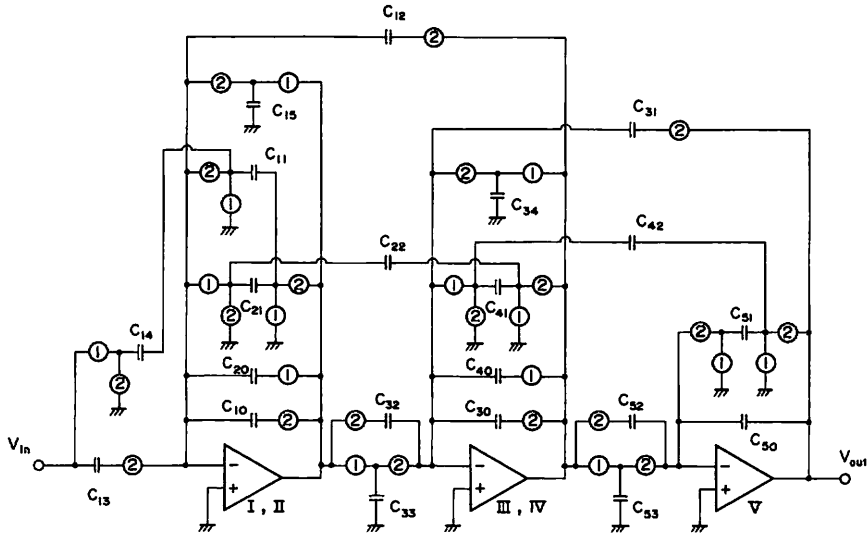


図 6 5次LCラダーシミュレーション形SCF (図2(a))
の積分器多重構成
Fig. 6 Integrator multiplexed structure for 5th-order LC ladder simulation
SCF in Fig. 2(a).

で半クロック周期で積分器を多重化する方法⁽¹⁷⁾であり、オペアンプを約半分に削減できる。図2(a)の5次LCラダー形SCFの多重化について述べる。同図において積分器をI, III, VのグループとII, IVのグループに分ける。次に、これらのグループの積分器の充電区間が半クロックずれるように変形する。スイッチを介さないでオペアンプ間に直接接続される結合キャパシタとオペアンプの入出力間に接続される積分キャパシタは常に電荷を保持しているから、スイッチを直列に挿入して切り換える。積分器IとIII, IIとIVを多重化した回路を図6に示す。オペアンプは5個から3個に削減されている。積分器多重においてはキャパシタは共用化されない。状態変数形SCFについても同様に積分器を多重化できる。

4.2 Nパスフィルタの多重構成

Nパスフィルタでは図5に示すように、同じ回路構造と容量値を有するN個のSCFが並列接続されるから、1個のSCFを $4f_s$ Hzで動作させることにより全体を多重構成できる⁽¹⁸⁾。回路図と制御信号を図7に示す。電荷を充放電するサンプリングキャパシタはサブフィルタ間で共用化できる。積分キャパシタは各サブフィルタごとに必要である。これについては、スイッチを直列に挿入してフィルタ切換えに合わせて切り換

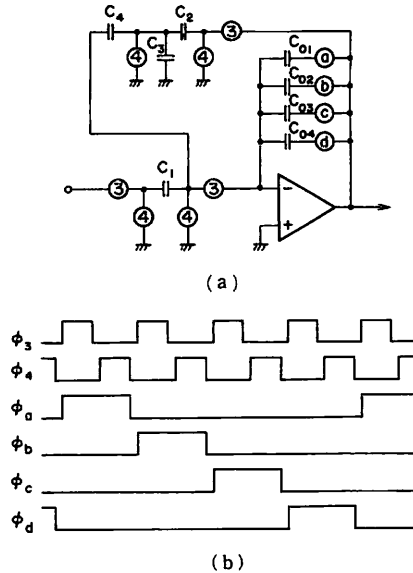


図 7 図5のNパスフィルタのサブフィルタ間多重構成
Fig. 7 Filter multiplexed structure for N-path filter in Fig. 5.

える。図7の入出力部のトグルスイッチは時分割多重構成により自動的に具備されることになる。

4.3 寄生容量の影響

多重化構成においては、配線やキャパシタ間の寄生

容量によりサブフィルタ間に電荷漏れが生じ、特性が変動する。特に、急しゅんな特性を有するフィルタにおいては顕著である。ここでは、 N パスフィルタの多重構成における寄生容量の影響を検討する。

配線間容量を等価的に表すと図8のようになる。配線の重なりを許して密に配線すると、寄生容量 C_p は約 0.005 pF 程度となる。これに対して、積分キャパシタを 3 pF 程度に設定する。この C_p/C_{0i} の大きさは通常のフィルタではほとんど問題にならない。しかし、狭帯域 BPF を N パスフィルタとして多重構成する場合は問題となる。まず、 N パスフィルタとして2次 SC 回路⁽¹³⁾を用い、寄生容量 $C_p=0.005 \text{ pF}$ を加味した

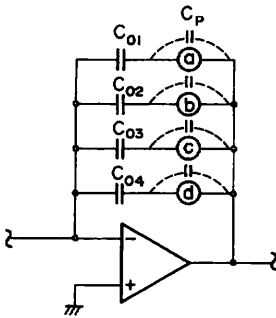


図8 N パスフィルタの多重構成における寄生容量の等価回路

Fig. 8 Equivalent parasitic capacitances in time division multiplexed N -path filter in Fig. 7.

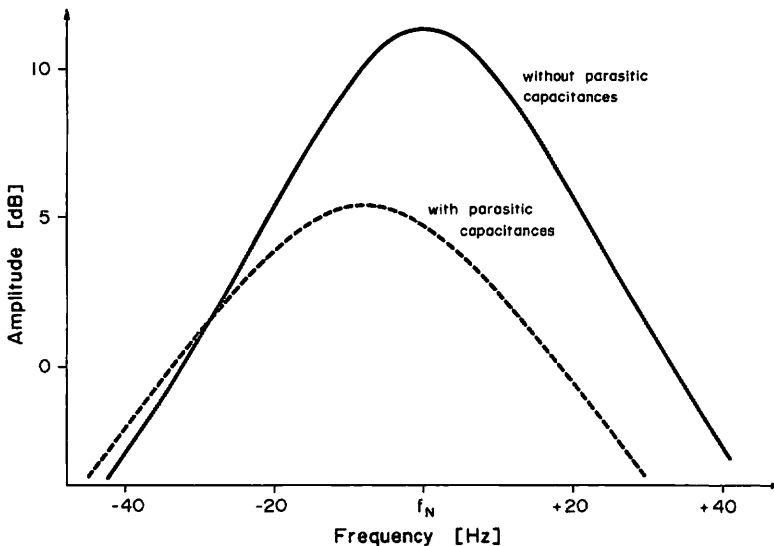


図9 2次 N パスフィルタの多重構成における寄生容量の影響
Fig. 9 Parasitic capacitor effects on amplitude response for 2nd-order N -path filter realized in multiplexed structure.

ときのシミュレーション⁽¹⁹⁾結果を図9に示す。実線が振幅特性の設計値で $C_p=0$ の場合、破線が $C_p=0.005 \text{ pF}$ の場合である。寄生容量の影響により、振幅特性が大きく変動している。この特性変動は寄生容量を介して1クロック前に動作するサブフィルタの影響を受けるためである。

寄生容量の影響を小さくするために、積分容量を大きくすることや、積分キャパシタの両側にスイッチを挿入することなどが考えられる。しかし、前者ではオペアンプの負荷容量が増えることになり、後者ではオペアンプの仮想接地点に接続されるスイッチの寄生容量により、クロックフィードスルーや電源雑音が誘導されるという問題が生じる。そこで、 N パスフィルタとして1次 SCFを用い、チップ面積が2次 SCFと同じであるという条件下で配線の重なりをなくし、配線間隔を広くすることにより、寄生容量そのものを小さくする方法を採用する。寄生容量の低減を見積もるのは難しいが、LSIとしての実測結果によれば、中心周波数の変動は 0.4 Hz 程度に抑えられた。

5. LSI の設計

(1) オペアンプ オペアンプの数が増えるから、低電圧動作と低消費電力化が要求される。これを満たすために、 5 V 単一電源で動作する AB 級オペア

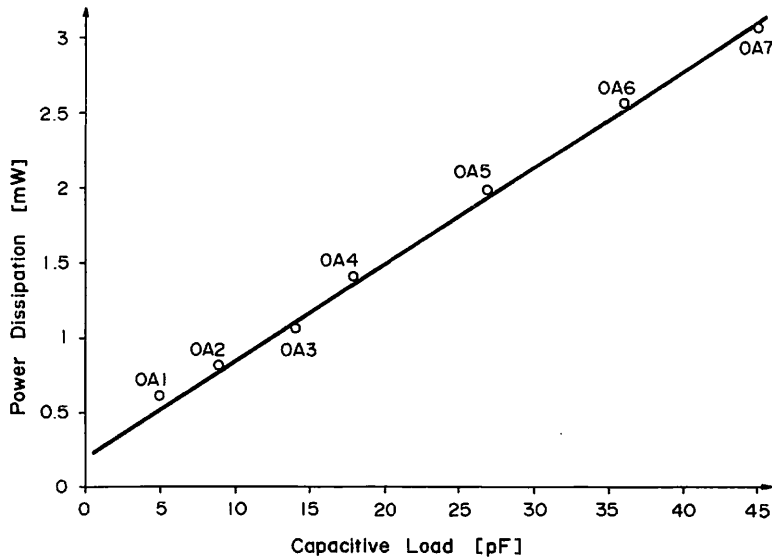


図10 オペアンプ OA1~OA7 の負荷容量と消費電力 (5V 単一電源) の関係
 Fig.10 Relations between capacitive load and power dissipation (+5V power supply) in operational amplifiers OA1~OA7.

表2 オペアンプの諸特性

直流利得	80dB
単位利得帯域幅	2 MHz
位相余裕	58°
利得余裕	23dB
セッティング時間 (0.1%, 1V ステップ)	0.7~0.9 μ sec
ダイナミックレンジ (誤差<0.1%)	0.4~3.9V
電源電圧	+5V 単一

ンプを使用する。オペアンプの消費電力は負荷容量に比例して大きくなる。一方、SCF 内部の各オペアンプに対する負荷容量はフィルタによって異なるから、図10に示すように、駆動能力の異なる7種類のオペアンプを用意する。○印が各オペアンプの負荷容量と消費電力に関するシミュレーション値であり、実線がこれらの関係を直線近似したものである。例えば、負荷容量が25 pF のオペアンプに対しては OA5 を用いるといったように、負荷容量によって OA1~OA7 を使い分けることにより、消費電力を低く抑えることができる。オペアンプの諸特性を表2に示す。

(2) レイアウト 4.3で述べたように、 N パスフィルタの時分割多重構成では配線容量を介して電荷漏れが発生し特性が劣化する。このため、配線の重な

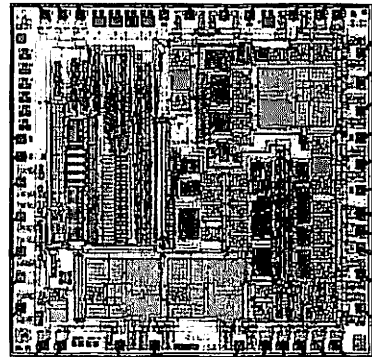


図11 データ伝送ベースバンド LSI のチップ写真
 Fig.11 Chip photomicrograph of baseband LSI for multi-level data transmission.

りをなくし、配線間に十分なアイソレーションをとるようにレイアウトを行った。

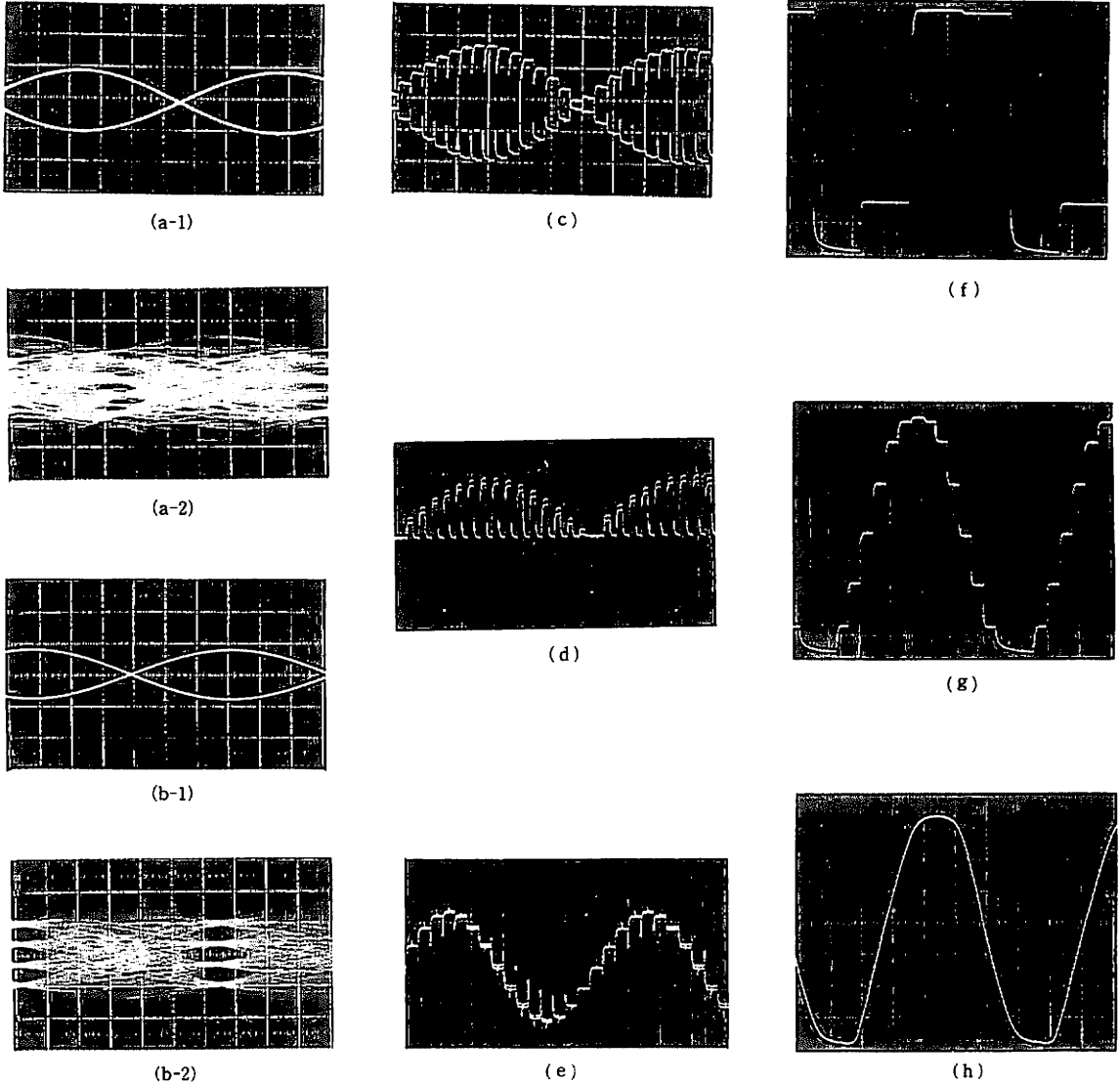
(3) LSI の概要 LSI に含まれる素子としては、SCF のオペアンプが24個、出力段のオペアンプが8個、比較器はクロック再生、レベル判定器等で5個、トランジスタ3,300個、抵抗650 k Ω である。容量は SC 回路全体で230 pF (単位容量=0.1 pF)、プレ、ポストフィルタで570 pFである。このことから、能動 RC 回路に比べて SC 回路の容量がいかに小さくなっているかがわかる。チップ写真を図11に示す。チップ

サイズは $4.3 \times 4.2 \text{mm}^2$ で、消費電力は +5V 単一電源で 35 mW である。

6. 実験結果

(1) 各部の時間波形 $f_N = 8 \text{kHz}$ とし、4 値データ伝送の場合について実験を行った。図 1 のプロッ

ク図において、送信側に $f_N/2 \text{Hz}$ 方形波または 4 値ランダム信号を入力し、送信のポストフィルタ①の出力を受信側のプレフィルタに折り返して得られる各部の出力波形を図 12 に示す。目盛りは横軸が $20 \mu \text{Sec/div}$ 、縦軸は中心が 2.5 V で 0.5V/div である。(a-1, 2) は送信側のポストフィルタ①の出力波形である。(a



(a-1, 2) post-filter ① (b-1, 2) post-filter ② (c) BPF1 (d) full-wave rectifier (e) LPF (f) N -path filter (b) $H_S(z)$ (h) post-filter ③

図 12 図 1 のアナログ部に $f_N/2 \text{Hz}$ 方形波、または 4 値ランダム信号を入力し、ポストフィルタ①から受信側のプレフィルタに折り返したときの各ブロックの出力波形

Fig. 12 Time responses. $f_N/2 \text{Hz}$ pulse or 4-level pandom signal is applied to pre-filter, and post-filter ① output is returned to pre-filter in receiver.

-1)が4 kHz 方形波入力, (a-2)が4 値ランダム入力に対する出力である。(b-1, 2)は受信側ポストフィルタ②の出力波形である。RNFにより波形成形が行われるため(b-2)において良好なアイパターンが得られている。以下の出力波形は方形波入力に対するものである。(c)はBPF1の出力波形で、4 kHz成分を抽出している。(d)は全波整流器の出力で、(e)がLPFの出力である。ここで、全波整流波形の基本波である8 kHzの正弦波が抽出されている。(f)は N パスフィルタの出力で、サンプリング周波数は32 kHzである。(g)は $H_3(z)$ の出力で N パスフィルタ出力の8 kHz成分のみが抽出されている。(h)はポストフィルタ③により平滑化された波形である。

(2) フィルタ特性 狭帯域BPF2の振幅特性は帯域幅が設計値の14 Hzから13 Hzに狭くなっており、中心周波数も f_N Hzから0.4 Hzほど低い方にずれている。しかし、図9のシミュレーション結果に比べればはるかに小さく、ほぼ設計どおりの特性が得られている。これは4.3で述べた検討結果に基づき、レイアウトにおいて寄生容量を低減するための方策を講じた結果である。次に、10個のLSIを用いて、 $f_0 \pm 40$ Hzにおける振幅特性のばらつきを測定した所、0.2 dB程度であり十分に小さいことが確認された。他のフィルタについてもほぼ設計どおりの結果が得られている。

(3) その他 再生されたクロックのジッタは10個のLSIについて測定したところ $1/f_N$ 秒の0.4%以内であった。RNFの信号対雑音比は61 dBであった。出力におけるオフセットは ± 0.17 V以内であり、ダイナミックレンジに対して小さい。

7. む す び

多値データ伝送システムのベースバンド系をSC回路技術を用いてCMOS-LSIで実現した。素子数を低減するためにすべてのSCFを時分割多重構成とした。全波整流器もSC回路で構成することにより、小形、高精度化することができた。総容量を小さくすることは、チップ面積と消費電力を低減する上で非常に重要である。このために、すべての容量を単位容量の整数倍とした。これによる特性劣化を離散近似により最小化した。この結果、0.1 pFという小さい単位容量を用いることができた。次に、クロック再生に用いる狭帯域BPFの容量比を圧縮するために N パスフィルタを用いたマルチレート構成とした。特に急しゅんなフィル

タにおいては容量分割により部分的に容量比を圧縮した。 N パスフィルタの多重構成では配線間容量の影響を解析し、これを低減する方法を提案した。以上の結果、チップサイズが 4.3×4.2 mm²、消費電力が35 mWで多値データ伝送用ベースバンドLSIを実現することができた。

謝辞 フィルタ設計を分担された宮城日本電気(株)奥山氏、デバイス設計・LSIの試作にご協力頂いた当社システムLSI推進開発本部横須賀主任、奥住氏、ならびにLSI設計全般について貴重なご意見を頂いた当開発本部海琳課長、瓜屋主任に深謝いたします。

文 献

- (1) 武部 幹編：“スイッチトキャパシタ回路”，現代工学社(昭60)。
- (2) 中山謙二：“SC回路網の設計と応用”，東海大学出版会(昭60)。
- (3) R. Gregorian and G.C. Temes：“Analog MOS Integrated Circuits for Signal Processing”，John Wiley & Sons(1986)。
- (4) K. Nakayama and Y. Kuraishi：“Preant and future applications of switched-capacitor circuits”，IEEE Circuits and Devices Magazine, 3, 5, pp. 10-21 (Sept. 1987)。
- (5) A. Iwata, et al.：“A single-chip codec with switched-capacitor filters”，IEEE J. Solid-State Circuits, SC-16, pp. 315-321(Aug. 1981)。
- (6) Y. Kuraishi, Y. Makabe and K. Nakayama：“A single-chip NMOS analog front-end LSI for modems”，IEEE J. Solid-State Circuits, SC-17, 6, pp. 1039-1044(Dec. 1982)。
- (7) Y. Kuraishi, et al.：“A single-chip 20-channel speech spectrum analyzer using a multiplexed switched-capacitor filter bank”，IEEE J. Solid-State Circuits, SC-19, 6, pp. 964-970(Dec. 1984)。
- (8) M. Ishikawa, T. Kimura and N. Tamaki：“A COM adaptive line equalizer”，IEEE J. Solid-State Circuits, SC-19, 5, pp. 788-793(Oct. 1984)。
- (9) K. Nakayama, et al.：“An adaptive SC line equalizer system for four-wire full-duplex and multi-rate digital transmission”，IEEE Trans Circuits and Systems, 35, 9, pp. 1073-1081(Sept. 1988)。
- (10) T. Habuka, et al.：“A single-chip FM MODEM base band CMOS LSI for land mobile telephone radio units”，IEEE J. Solid-State Circuits, SC-20, 2, pp. 617-622 (April 1985)。
- (11) D. Inami, et al.：“An adaptive line equalizer LSI for ISDN subscriber loops”，IEEE J. Solid-State Circuits, SC-23, 3, pp. 657-663(June 1988)。
- (12) 日比野雅夫：“阻止域で指定減衰量の等リップル特性を有するIIR低域フィルタとその時間応答近似”，信学論(A), J62-A, 12, pp. 895-902(昭54-12)。
- (13) P. E. Fleischer and K. R. Laker：“A family of active switched capacitor biquad building block”，Bell Syst. Tech. J., 58, 12, pp. 2235-2268(1979)。

- (14) 伏見重雄, 中山謙二: “スイッチトキャパシタフィルタにおける離散近似の一方法”, 信学論(A), J67-A, 6, pp. 580-587(昭59-06).
- (15) T. Hui and D. J. Allstot: “MOS switched-capacitor highpass/notch ladder filters”, Proc. IEEE Int. Symp. Circuits Systs., pp. 309-312(1980).
- (16) D. J. Allstot and K. S. Tan: “A switched capacitor N -path filter”, in Proc. IEEE Int. Symp. Circuits Syst., pp. 313-316(1980).
- (17) D. J. Allstot and K. S. Tan: “Simplified MOS switched capacitor ladder filter structures”, IEEE J. Solid-State Circuits, SC-16, 6, pp. 724-729(Dec. 1981).
- (18) P. W. Bosshart: “A multiplexed switched capacitor filter bank”, IEEE J. Solid-State Circuits, SC-12, 6, pp. 939-945(Dec. 1980).
- (19) S. C. Fang, Y. Tsvividis and O. Wing: “SWITCAP: A switched-capacitor network analysis program — Part I and II”, IEEE Circuit Syst. Mag., 9, 12(1983).
(昭和63年7月8日受付, 9月26日再受付)

中山 謙二



昭46 東工大・工・電子卒。昭46~47 同大研究生。昭58 同大学より工学博士の学位取得。昭47 日本電気(株)入社。伝送通信事業部およびC&Cシステム研究所にて通信用各種フィルタの設計法と実用化, デジタル信号処理, 信号復元, ニューラルネットに関する研究開発に従事。63年8月金沢大学工学部電気・情報工学科に移り, 現在助教授。62年9月IEEE Circuits & Devices Mag論文賞受賞。著書「SC回路網の設計と応用」(東海大学出版会)。IEEE シニア会員。

市原 正貴



昭52 京大・工・電子卒。昭54 同大学院修士課程了。同年日本電気(株)入社。以来, 通信システムのCMOSアナログLSIの実用化, およびスイッチトキャパシタフィルタのLSI化に関する研究に従事。現在, 同社システムLSI推進開発本部主任。