

拡張したヌラーを用いた同一極性形 CC II の構成法

正 員 湯浅太刀男<sup>†\*</sup> 非会員 山田 淳司<sup>†\*\*</sup>

正 員 中山 謙二<sup>†</sup> 正 員 山本 外史<sup>†\*\*\*</sup>

A Synthesis Method of CC II with Single Polarity Transistors Using Extended Nullor Elements

Tachio YUASA<sup>†\*</sup>, Member, Jyunji YAMADA<sup>†\*\*</sup>, Nonmember, Kenji NAKAYAMA<sup>†</sup> and Gaishi YAMAMOTO<sup>†\*\*\*</sup>, Members

あらまし 本論文では回路を抽象的に表記するヌラーにおいて、ノレータに方向性をもたせ、カレントミラーを加えて拡張したヌラーの表記法を用いて第2世代カレントコンペア (CC II) を構成する方法を提案する。与えられた仕様からトランジスタ回路を得る過程は図形的な変形操作で行うことができる。これにより、ヌラー表現からこれを実現するトランジスタ回路へのつながりが明確になる。次に、拡張したヌラーを用いて構成された同一極性形 CC II の回路を提案する。同一極性の回路とは NPN トランジスタあるいは N チャネル FET で構成された回路を意味する。これは CC II を IC で実現する際は工程の簡略化のため、また現在の製造工程では PNP トランジスタや P チャネル FET は周波数特性が良くないためである。実験では同一極性 CC II の特性評価を行い、従来の相補形 CC II との比較を行う。実験は個別部品で行うため N チャネル MOSFET を使用した。実験結果から、相補形ではプラス形 CC II が、同一極性形ではマイナス形 CC II が周波数特性が優れていることがわかった。また、実験回路の解析から特性劣化の原因は内部抵抗とドレーン-ゲート間容量であることが明らかになった。

1. ま え が き

能動回路の設計において、素子を理想的に表記する方法としてヌラーが有効であることが知られており、それを用いた回路構成法の研究が多数報告されている。第2世代カレントコンペア (以下、CC II と略す)<sup>(1)</sup> を表すために端子間の電流方向を修正したヌラーが既に提案されている<sup>(2)</sup>。また、カレントミラーを記号として表記した報告もある<sup>(3)</sup>。しかし、いずれの場合もヌラーで表現した回路の実現にあたってはオペアンプ等を用いるものがほとんどで、トランジスタを用いた回路で実現する過程については報告されていない。

本論文では CC II のヌラー表現からトランジスタで構成される回路を得るために拡張したヌラーを提案す

る。これはトランジスタを表現するためにノレータに方向性をもたせ、カレントミラーを加えたものである。更に、拡張したヌラーを用いて回路に要求される仕様からトランジスタを用いた具体的な回路を図形的な変形操作で構成する方法を提案する。

CC II はオペアンプ等と比較すると、伝達利得が1であるから広帯域化の可能性があることや、電圧と電流の二つの従属電源を含むといった特徴がある。また、CC II を応用した回路として、ジャイレータ、負性インピーダンス変換器、ミューテータ、発振回路、フィルタ、イミタンスシミュレーション、SC 回路等が報告されている<sup>(4)</sup>。

CC II の実現回路としては、オペアンプを用いたもの<sup>(5),(6)</sup>、オペアンプとバイポーラトランジスタや FET を用いたもの<sup>(7)-(9)</sup>、バイポーラトランジスタを用いたもの<sup>(10)-(12)</sup> 等が発表されている。しかし、トランジスタを用いたものは、いずれも NPN 形および PNP 形<sup>(8),(10)-(12)</sup>、または、N チャネル形および P チャネル形<sup>(9)</sup> 双方を用いた相補形構成となっている。更に、FET の

† 金沢大学工学部電気・情報工学科, 金沢市  
Faculty of Technology, Kanazawa University, Kanazawa-shi, 920  
Japan

\* 現在, 富士通株式会社

\*\* 現在, 横河ヒューレットパッカード株式会社

\*\*\* 現在, 金沢工業大学

みで構成した回路の例は無いようである。以下、便宜上、主キャリアが電子であるトランジスタをN形素子、主キャリアが正孔である場合をP形素子と呼ぶことにする。

一般に、同一極性のトランジスタで構成した回路はダイナミックレンジが小さくなることが知られている。しかし、CC IIをICで実現するとき、工程を削減できること、また、現在の製造工程ではP形素子を用いた回路では良好な周波数特性が得られないこと<sup>(13)</sup>を考えると、N形素子のみを用いてCC IIを実現することが望ましい。

これらのことを踏まえて、本論文では拡張したヌラーを用いてNチャネル形MOSFETでCC IIを構成する回路を提案し、実験により動作を確認する。また、実験回路の解析からMOSFETを用いたCC IIの特性劣化の原因を探る。

## 2. 拡張したヌラーによる回路構成法

### 2.1 ヌラーの拡張

ヌラーは1961年にH. J. CarlinとD. C. Youlaによってその概念が提案された理想的な能動素子のモデルである<sup>(14)</sup>。ヌラーはヌレータとノレータの対から成り立っており、能動素子は一つのヌラーから成る。これを図1に表す。従来の使用法はヌラーによって構成した回路をオペアンプ等で極性による安定性に注意して実現するものである。また、ヌラーで表された回路と節点方程式には密接な関係があり回路解析にも極めて有効である。ノレータは能動素子の従属電源表現として、その方向および大きさが任意に与えられるものと考えられている。そのため、従来はこれを能動素子の出力部分の等価回路と見なしていた。しかし、現実のトランジスタは出力電流を1方向にしか取れない。故に、

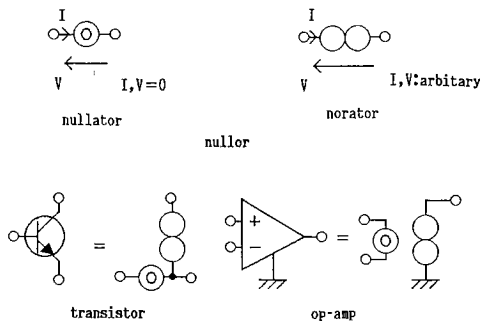


図1 ヌラー  
Fig. 1 Nullor.

ヌラーで表した回路を実現する際には自由度が大きいという利点がある反面、ヌラー表現が具体的なトランジスタ回路に直接対応していないため、これを導出する過程で経験的手法が必要となる。本論文ではこの経験的手法を必要としない回路設計法を確立するために、まずヌラーの拡張を考える。

ヌラーと実際の能動素子の大きな違いは素子の従属電源に方向性があるか否かである。そこで、ノレータは電流方向の極性をもつものと考え、従来のノレータはその双方向性のものを表すものとする。つまり、図2のようにトランジスタの従属電源を構成できるのは方向性をもったノレータのみとする。

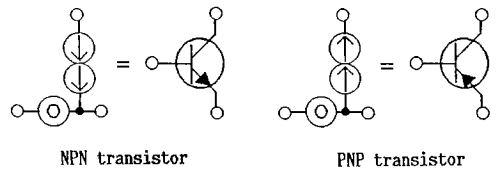


図2 拡張したヌラーによる能動素子表現  
Fig. 2 Equivalent active elements expressed with extended nullor elements.

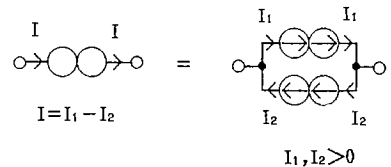


図3 ノレータと1方向性ノレータ  
Fig. 3 Norator and directional norator.

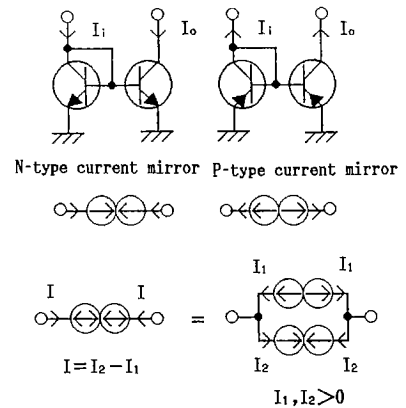


図4 カレントミラーの例とその記号  
Fig. 4 Current mirror circuits and their symbolic expressions.

さて、ノレータが方向性をもつものとして考え方を拡張しノレータの両端子に流れる電流の方向に着目すると、これは図3のように両端子に流れる電流の方向が同方向である特殊な場合と考えられる。そこで、図4のように流入電流と流出電流の方向が反対のものが考えられる。これはカレントミラーとして知られている回路にほかならない。また、この従来のカレントミラーも方向性をもつ種類であるから、ノレータとの双対を考えると、双方向性のカレントミラーも考えられる。以上、現実には存在しない理想的なものも考えると、ノレータ、カレントミラーとも、1方向性、双方向性に電流方向を表せる。以後、1方向性の形のみ方向性を冠するものとする。

これまでに提案した拡張したヌレーの性質は以下のようにまとめられる。

(1) ヌレーを個別能動素子として実現するにはヌレータを1方向性ノレータと組み合わせる。

(2) キルヒホッフの第1法則からノレータは非接地形素子、カレントミラーは接地形素子である。すなわち、1方向性ノレータは能動素子の従属電源としてヌレータとの対をもって個別能動素子として実現できる。しかし、カレントミラーは能動素子の従属電源ではないから個別能動素子を用いて構成されなければならない。

(3) ヌレータと1方向性ノレータのみで形成した回路は無電源形回路であり、個別素子を用いて実現できるが、実用性は無い。従って、実現回路へ至るまでにはカレントミラーや定電流源をもつように操作しなければならない。

更に、以下の変形操作が可能である。2.2, 2.3で具体的な回路変形を説明するが、対応するステップ番号を( )内に示してある。

(1) ノレータやカレントミラーは、複数個のカレントミラーの組合せをもつて表せる(2.2 CC II $\ominus$ :②)。

(2) 定電流源は、ノレータの前後で移動できる(2.3 CC II $\oplus$ :⑥)。

(3) ノレータやカレントミラーは、その前後に定電流源を接続できる。但し、ノレータとカレントミラーでは電流の方向が逆である(2.3 CC II $\ominus$ :②,③, CC II $\oplus$ :②)。

2.2 拡張したヌレーを用いた CC II の構成

拡張したヌレーを用いて CC II を表すと図5のようになる。すなわち、プラス形 CC II (以下、CC II $\oplus$ と略す) はヌレータとカレントミラーから合成され、マイナス形 CC II (以下、CC II $\ominus$ と略す) はヌレータとノ

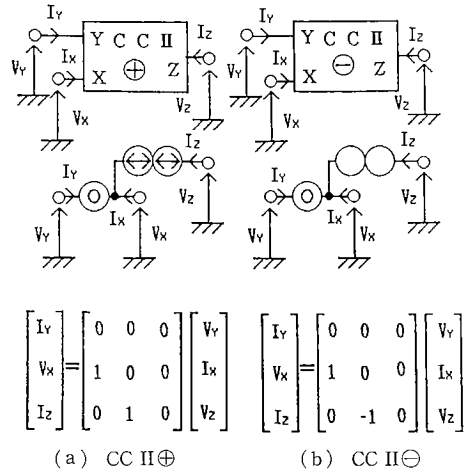


図5 CC II の定義と拡張したヌレー表現  
Fig. 5 Ideal CC II characteristics, and symbolic expressions using extended nullor elements.

$$\begin{bmatrix} I_y \\ V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ I_x \\ V_z \end{bmatrix} \quad \begin{bmatrix} I_y \\ V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & -1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ I_x \\ V_z \end{bmatrix}$$

レータから合成される<sup>(2)</sup>。

次に、拡張したヌレーを用いた CC II $\oplus$ , CC II $\ominus$ の構成からトランジスタを用いた実現回路までの変形操作について述べる。ここでは、まず従来の相補形バイポーラトランジスタを用いる場合を取り上げる。

(1) CC II $\oplus$

① カレントミラーを実現可能な二つの1方向性カレントミラーの対に分離する。

② ヌレータは単独では実現できないので、1方向性ノレータと組合せを形成しなければならない。つまり、カレントミラーのヌレータ側に、各々、順電流方向のノレータを挿入する。電流経路に直列に電流伝達素子を挿入しても等価性は失われない。

③ 電圧経路に並列に電圧伝達素子を追加しても等価性は失われないから、新たなヌレータを接続する。そして、点線内のヌレータと1方向性ノレータを各々、N 形素子、P 形素子と見なす。

④ 理想的なトランジスタをもって実現回路を表す。

(2) CC II $\ominus$

① ノレータを実現可能な二つの1方向性ノレータの対に分離する。この時点で既にヌレータと1方向性ノレータを個別素子として実現可能であるが、非接地形、つまり、無電源形回路となり、非実用的である。

② 回路に接地形素子であるカレントミラーを含ませなければならない。しかし、1方向性ノレータを各々、1方向性カレントミラーの組合せに置き換えられることがわかる。

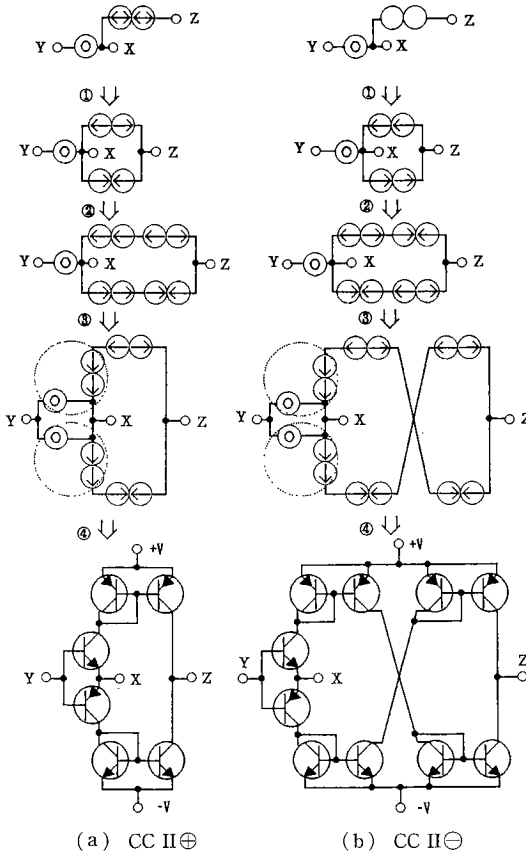


図6 相補形 CC II への変形操作

Fig. 6 Process from symbolic expressions to transistor circuits for complementary CC II.

③ ヌレータと組み合わせて個別素子として実現化するため、カレントミラーのヌレータ側に、各々、電流通過方向の1方向性ヌレータを挿入する。

④ 理想的トランジスタをもって実現回路を表す。

### 2.3 同一極性の能動素子による CC II

ここでは、更に N 形素子のみを用いた同一極性 CC II の構成法について述べる。この場合、図4の電流流出形カレントミラー(以下、P 形カレントミラーと呼ぶ)が使えないことを念頭におく。つまり、回路構成にあたっては、N 形素子や電流流入形カレントミラー(以下、N 形カレントミラーと呼ぶ)を形成するように変形操作をする。図7にその変形過程を示す。

#### (1) CC II ⊖

- ① ノレータを二つの1方向性ヌレータの対に分離する。
- ② 電流  $I_r$  を流すヌレータはヌレータと組み合わせる

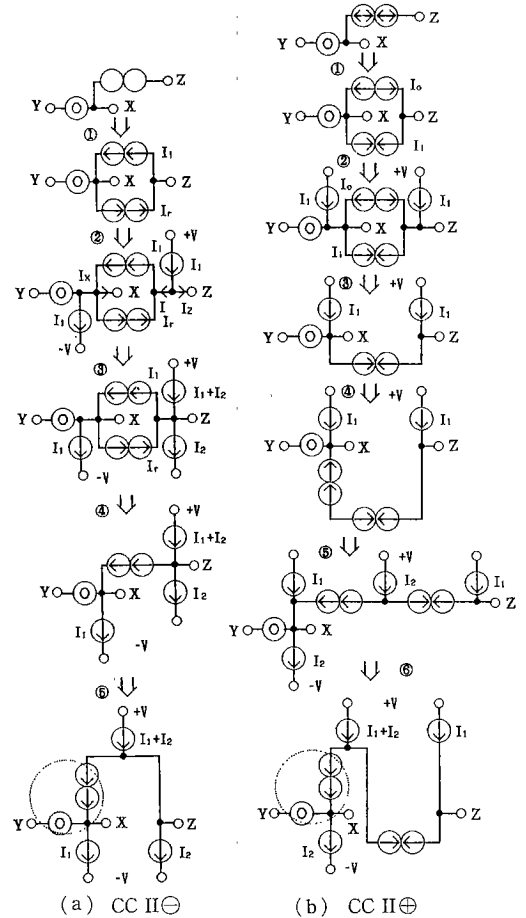


図7 同一極性形 CC II への変形操作

Fig. 7 Process from symbolic expressions to transistor circuits for CC II's with single polarity transistors.

と P 形素子を形成するので、削除する方向に操作する。すなわち、Z 端子からの電流の流出を補えばよい。これを定電流源を用いたバイアス  $I_1$  で行う。そして回路変形の等価性を保つため X 端子への電流の流入もバイアス  $I_1$  で行う。ここでは、 $I_x = I - I_1$ 、 $I_z = I_1 - I$  であるから、 $I_z = -I_x$  の関係は保たれる。

③ この時点で電流  $I_r$  を流すヌレータを除去すると Z 端子は直流的に電流流出動作しか行わなくなる。そこで、電流流入動作を補うためバイアス  $I_2$  をかける。

④ バイアスをかけているから、1方向性ヌレータの内、 $I_r$  は不要となるので除去する。

⑤ 点線内のヌレータ、1方向性ヌレータを組み合わせたものを N 形素子と見なせる。この時点で、各定電流源の束縛条件も整っている。

(2) CC II ⊕

① カレントミラーを二つの 1 方向性カレントミラーの対に分離する。

② P 形カレントミラーを削除する方向に操作する。すなわち、X, Z 端子からの電流出動作を補えばよい。これをバイアス  $I_1$  で行う。

③ バイアスをかけているから、1 方向性カレントミラーの内、 $I_0$  は不要となるので除去する。

④ ヌレータと組み合わせて N 形素子を形成するため、1 方向性ノレータを挿入する。但し、このままでは挿入した 1 方向性ノレータと N 形カレントミラーの電流方向が異なるため回路は動作しないことに注意する。

⑤ 回路が動作するようにバイアス  $I_2$  をかける。

⑥ ノレータの前後で定電流源は移動できるから、+V 側の  $I_1$  と  $I_2$  を合成する。そして、点線内のヌレータ、1 方向性ノレータを組み合わせたものを N 形素子と見なす。既に、各定電流源の束縛条件は整っている。

3. 個別部品による実験回路の構成

同一極性 CC II について個別部品を用いた実現を行い、その特性を評価する。次に、既に報告されているバイポーラトランジスタを用いた相補形回路の CC II<sup>(10)-(12)</sup> と特性上の比較を行う。

3.1 回路構成

現在、IC 化の工程が最も簡単であるのは MOSFET である。また、FET のみを用いた CC II の構成例が発表されていないので今回の実験に採用した。実験にはデュアルゲート MOSFET, 3SK59GR を第 1 ゲート  $G_1$ , 第 2 ゲート  $G_2$  を並列接続にしてシングルゲート MOSFET と等価として使用している。以下、特に断りが無い限り、 $G_1, G_2$  の並列端子を 3SK59GR のゲート G とする。このときの  $V_{GS}-I_D$  特性の測定回路および測定結果を図 8 に示す。一般のディプレッション+エンハンスメント形の MOSFET の動作と変わるものではないので実験に支障は無い。

図 7 のヌラー表現 CC II を MOSFET で実現したものを図 9 に示す。各素子の役割は、 $Q_1$  はどちらも電圧ホロワ、CC II ⊕ では  $Q_4, Q_5$  が N 形カレントミラー、その他の FET はすべてゲート・ソース短絡ドレイン電流  $I_{DSS}$  を利用した定電流源である。実験ではあらかじめ各 FET の  $I_{DSS}$  を測定し、定電流源や揃った特性が必要な箇所への選択の目安とした。IC 化の際は、同一基板上の素子は特性の合致が期待できるので、この問題は生じないと考えられる。また、各定電流源の値も互

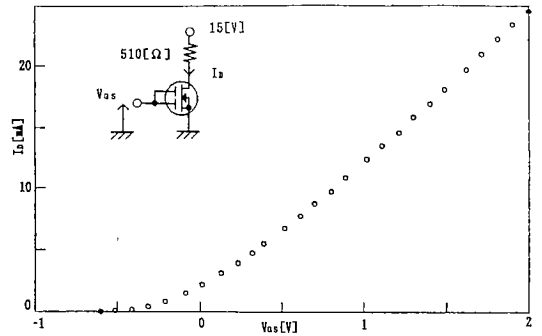


図 8 3SK59GR の  $V_{GS}-I_D$  特性  
Fig. 8  $V_{GS}-I_D$  characteristics of 3SK59GR.

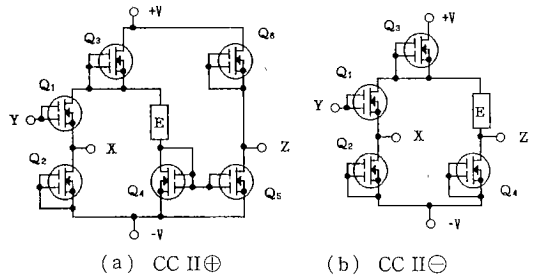


図 9 N チャネル MOSFET で構成した CC II  
Fig. 9 CC II realization with N-channel MOSFETs.

いに整数倍であるので同一  $I_{DSS}$  の FET を必要個数だけ並列接続すればよく、特に調整過程を必要とはしない。

図 9 中「E」と表したのは、電圧ホロワとして用いている  $Q_1$  のドレイン電圧をゲート電圧より動作可能なだけ高電位にするためのレベルシフタである。すなわち、 $Q_1$  のドレイン電圧は CC II ⊕ ではほぼ +V, CC II ⊖ ではほぼ Z 端子の電位となるから、 $Q_1$  が動作しない場合が多くなる。今回はツェナーダイオード, RD4A を直列接続して使用した。CC II ⊕ では約 6 V, CC II ⊖ では約 18 V とした。これも、IC ではツェナーダイオードや接合ダイオードを複数個直列にしたレベルシフタが用いられているので問題無いと考えられる。これをヌラーで表現すると回路にノレータを直列に挿入することになる。ここで回路を動作するように修正するために経験的手法を必要とした。これは本論文で提案するヌラーの拡張には電流の方向のみを考慮したためと考えられる。交流回路を設計するにあたっては回路中の直流電位は考慮する必要は無いが、これでは必ずしも動作する回路は設計できないので、今後、電位差まで考慮したヌラーの拡張法を検討する必要がある。

### 3.2 測定回路

CC IIの等価回路は図10のように表せる。ここで、 $K_V$ を電圧伝達係数、 $K_I$ を電流伝達係数、 $Z_Y$ をY端子入力インピーダンス、 $Z_X$ をX端子出力インピーダンス、 $Z_Z$ をZ端子出力インピーダンスとする。これらを用いるとCC IIの理想特性は定義から、

電圧ホロワ部 (Y-X 段)

$$\left. \begin{aligned} Z_Y &= \infty \\ K_V &= 1 \\ Z_X &= 0 \end{aligned} \right\} \quad (1)$$

電流ホロワ部 (X-Z 段)

$$\left. \begin{aligned} Z_X &= 0 \\ K_I &= \pm 1 \\ Z_Z &= \infty \end{aligned} \right\} \quad (2)$$

である。

図11(a)に $Z_Y$ の測定回路を示す。 $Z_Y$ は高インピーダンスであるから、Y端子の電位を計るため直接測定プローブを接続できない。従って、X端子の電位を計り、それに重畳されている $V_Y-V_X$ 特性を換算してY端子電位 $V_Y$ とし、それより $Z_Y$ を算出する。次に、同図(b)の回路で $Z_Y$ 以外のすべての回路定数を測定するために、X端子、Z端子に3とおりの値の抵抗器を接続したときの伝達特性を測定する。

## 4. 実験結果と解析

### 4.1 Y端子入力インピーダンス $Z_Y$

直流で測定した結果、MOSFETの特徴である入力純抵抗はおよそ $2.0 \times 10^{10} \Omega$ と非常に大きな値を得た。ここで、 $R_{LY}=10 \text{ k}\Omega$ 、 $R_{LX}=5.1 \text{ k}\Omega$ 、 $Z_Y=10 \text{ M}\Omega // 5 \text{ pF}$ とした $V_{in}-V_Y$ の振幅特性の計算値と $V_{in}-V_X$ 特性から $V_Y-V_X$ 特性を引いた実験値を図12に示す。よく一致している。入力純抵抗は $R_{in}$ より十分大きく計算値はその値の影響をほとんど受けないことから、Y端子の入力容量は $5 \text{ pF}$ としてよく、比較的小きな値である。

### 4.2 電圧伝達係数 $K_V$

#### X端子出力インピーダンス $Z_X$

電圧源であるから、まとめてテブナンの等価回路として考える。一般にFET電圧ホロワにおいては相互コンダクタンスを $gm$ 、内部抵抗を $r$ とすると次式が成り立つ。

$$K_V = \frac{gm r}{1 + gm r} \doteq 1 \quad (3)$$

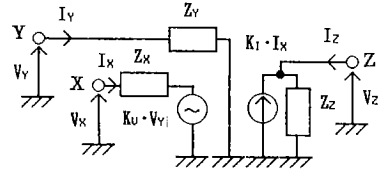


図10 CC IIの等価回路  
Fig. 10 Equivalent circuit for CC II.

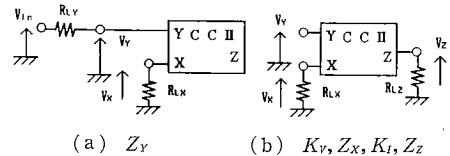


図11 CC II特性測定回路

Fig. 11 Measurement circuits for CC II characteristics.

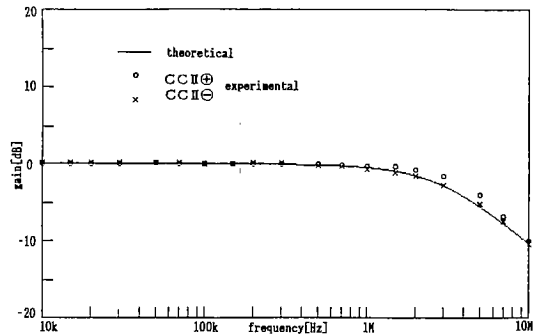


図12 CC IIの $V_{in}-V_X$ 特性  
Fig. 12  $V_{in}-V_X$  characteristics of CC II.

$$Z_X = \frac{r}{1 + gm r} \doteq \frac{1}{gm} \quad (\because gm r \gg 1) \quad (4)$$

以上よりFET電圧ホロワでは、伝達係数は理想的な状態に近づくが、出力インピーダンスは相互コンダクタンスに大きく依存することがわかる。別に測定した結果3SK59GRの定数は、FET特有の比較的大きなばらつきはあるが、相互コンダクタンスはおよそ $8.4 \text{ mS}$ 、内部抵抗は測定する負荷抵抗によっても変動するが、今回の実験の範囲では $8 \text{ k}\Omega$ とする。この値を用いて近似前の式の計算値と実験値からY-X段をテブナンの等価回路と見なしたときの回路定数 $K_V$ 、 $Z_X$ を算出した値を図13、図14に示す。出力インピーダンスの実験値はおよそ $130 \Omega \sim 200 \Omega$ 付近に片寄ってばらついている。これは振幅特性のデシベル値が測定誤差分の $0.1 \text{ dB}$ ず

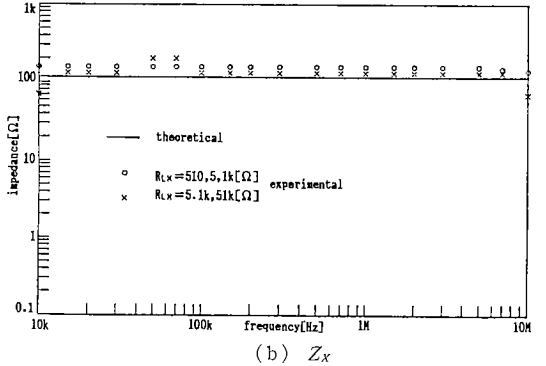
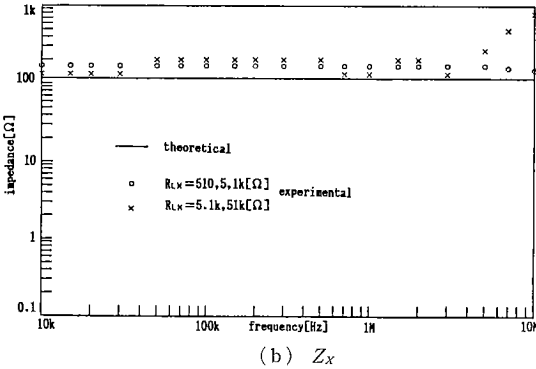
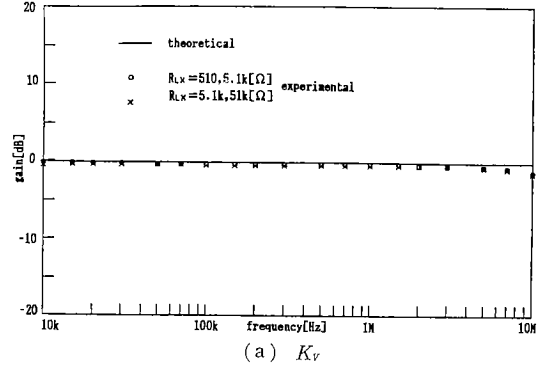
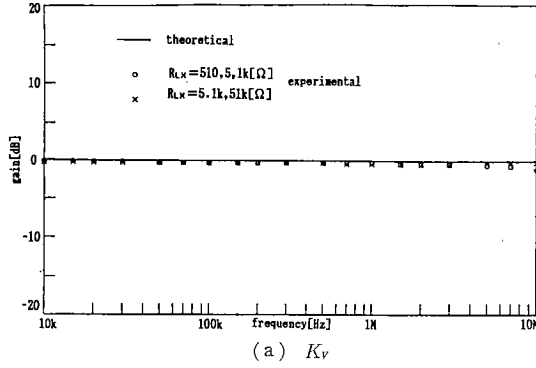


図 13 CC II ⊕ の Y-X 段回路定数

Fig. 13 Parameters of equivalent circuit for Y-X stage in CC II ⊕.

れるとそれから換算する出力インピーダンスの値が 160 Ω から 130 Ω へ、あるいは 160 Ω から 200 Ω へと大きく変動して現れるためである。FET の  $gm$  が使用条件によって変化しやすいものであることを考えると、理論値と一致しているものと考えられる。

電圧ホロワの回路特性から  $K_V$  は良好であるが  $Z_X$  は大きな値である。これは使用した素子が高周波低電力用であるため  $gm$  が小さかったためである。近年では電力用には  $gm$  が 1 S を越えるものが開発されている<sup>(15)</sup>。このような素子を用いれば  $Z_X$  は理想値に近づく。

#### 4.3 電流伝達係数 $K_I$

##### Z 端子出力インピーダンス $Z_Z$

X 端子負荷  $R_{LX} = 5.1 \text{ k}\Omega$  として、Z 端子負荷  $R_{LZ}$  を 510 Ω, 5.1 kΩ, 51 kΩ の 3 とおりにしたときの電圧伝達比  $V_Z/V_X$  を求める。電流源であるから、これより、ノートンの等価回路と見なして計算した  $K_I$ ,  $Z_Z$  を図 15, 図 16 に示す。いずれも、200 kHz を越える付近から測定状態により値が異なり、線形系として動作していないことがわかる。

図 14 CC II ⊖ の Y-X 段回路定数

Fig. 14 Parameters of equivalent circuit for Y-X stage in CC II ⊖.

#### 4.4 電流ホロワ部の特性変動の解析

電流ホロワ部の特性変動の原因を探るため寄生素子を考慮した等価回路から  $V_Z/V_X$  特性を求めてみる。ここで、FET のドレーン-ゲート間容量を  $c$ 、ツェナーダイオードの内部抵抗を  $r_{ZD}$ 、電圧ホロワ段  $Q_1$  のドレーン電流を  $I_D$ 、ドレーン電圧を  $V_D$  とする。

##### (1) CC II ⊖

図 17 から以下の式を得る。

$$\frac{V_X}{Z_{LX}} = I_D - \left( sc + \frac{1}{r} \right) V_X \quad (5)$$

$$\frac{V_Z}{Z_{LZ}} = -I_D - \left( sc + \frac{1}{r} \right) V_D - sc(V_D - V_X) - \left( sc + \frac{1}{r} \right) V_Z \quad (6)$$

$$V_D - V_Z = r_{ZD} \left\{ -I_D - \left( sc + \frac{1}{r} \right) V_D - sc(V_D - V_X) \right\} \quad (7)$$

これらより次式を得る。

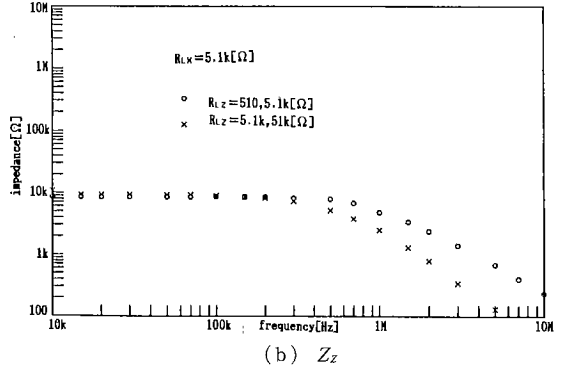
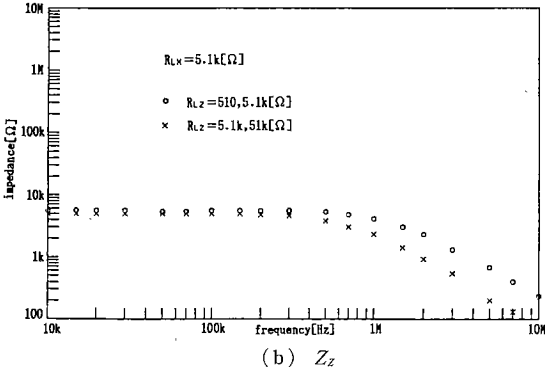
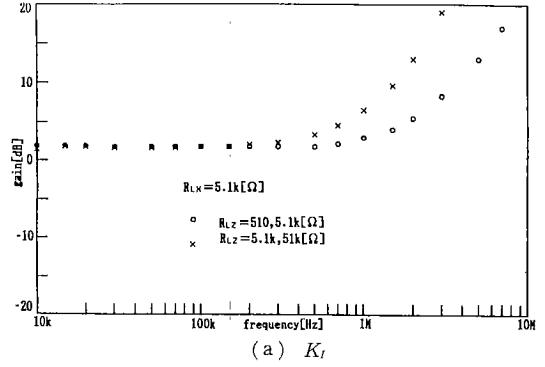
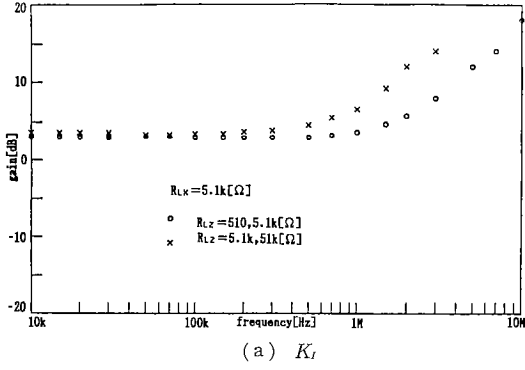


図 15 CC II⊕の X-Z 段回路定数

Fig. 15 Parameters of equivalent circuit for X-Z stage in CC II⊕.

図 16 CC II⊖の X-Z 段回路定数

Fig. 16 Parameters of equivalent circuit for X-Z stage in CC II⊖.

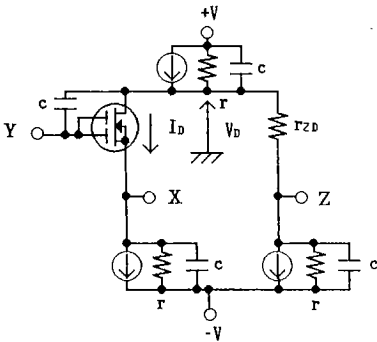


図 17 CC II⊖の等価回路

Fig. 17 Equivalent circuit for CC II⊖.

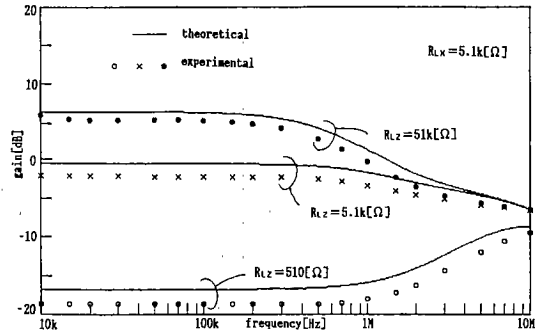


図 18 CC II⊖の Vx-Vz 特性

Fig. 18 Vx-Vz characteristics of CC II⊖.

$$\frac{V_z}{V_x} = \frac{\frac{1}{Z_{LX}} + \frac{1}{r}}{\left(\frac{1}{Z_L} + sc + \frac{1}{r}\right)\left(1 + 2scr_{ZD} + \frac{r_{ZD}}{r}\right)} \quad (8)$$

更に、測定プローブの内部容量を含めた負荷の全容量を  $C_L$  とする、すなわち、

$$Z_{L\$} = R_{L\$} \parallel C_{L\$} \quad (\$ = x, z) \quad (9)$$

と置く。

以上の式で、

$$r = 8 \text{ [k}\Omega\text{]}, \quad c = 14 \text{ [pF]}, \quad r_{ZD} = 500 \text{ [}\Omega\text{]},$$

$$C_L = 26 \text{ [pF]} \quad (10)$$

と仮定して計算した値と実験値を図 18 に示す。低域や、



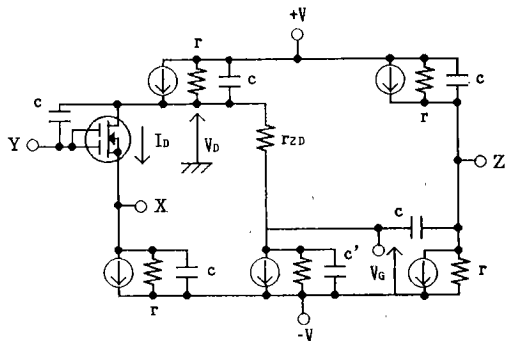


図 19 CC II ⊕ の等価回路  
Fig. 19 Equivalent circuit for CC II ⊕.

高域では特に  $R_{Lz}=510 [\Omega]$  のとき、誤差が大きい。これは内部抵抗  $r$  の値が FET の負荷抵抗やドレーン電圧などによって数倍程度と大きく変動するためと考えられる。

(2) CC II ⊕

FET のゲート-ソース間容量を  $c'$ 、カレントミラーを構成する  $Q_4, Q_5$  のゲート電圧を  $V_G$  とする。図 19 から以下の式を得る。

$$\frac{V_X}{Z_X} = I_D - V_X \left( \frac{1}{r} + sc \right) \tag{11}$$

$$(V_G - V_D) \frac{1}{r_{ZD}} - V_D \left( \frac{1}{r} + sc \right) - (V_D - V_X) sc = I_D \tag{12}$$

$$(V_D - V_G) \frac{1}{r_{ZD}} = V_{CGM} + V_G \left( \frac{1}{r} + sc' \right) + (V_G - V_Z) sc \tag{13}$$

$$-\frac{V_Z}{Z_Z} = V_Z \left( \frac{1}{r} + sc + \frac{1}{r} \right) + V_{CGM} + (V_Z - V_G) sc \tag{14}$$

$V_Z/V_X$  を表す式は省略する。 $V_Z/V_X$  の計算式に式(9)、(10)および次式の条件を加えて計算した値と実験値を図 20 に示す。

$$c' = 14 [\text{pF}] \tag{15}$$

CC II ⊕ の場合は理論値と合致しているとは言えない。原因には CC II ⊖ には無かったカレントミラーを含んでいるため、この部分で更に考慮すべき要素があるものと考えられるので今後の課題としたい。以上の解析から電流ホロワ部の特性変動の原因としては FET の内部抵抗および、高域ではドレーン-ゲート間容量があることがわかった。FET ではまだバイポーラトランジスタに比較して内部抵抗は小さな値であり、このため

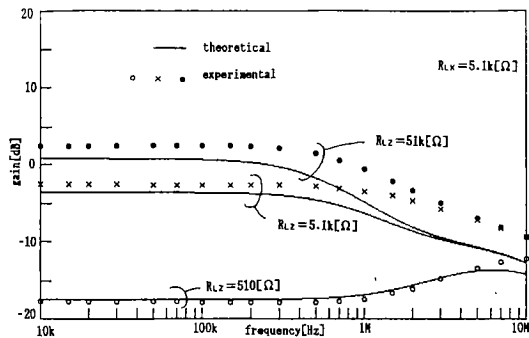


図 20 CC II ⊕ の  $V_X - V_Z$  特性  
Fig. 20  $V_X - V_Z$  characteristics of CC II ⊕.

$Z_Z$  の値が小さくなる。しかし、高周波領域では寄生容量の影響を受けて負荷のインピーダンスも低くなるため  $Z_Z$  の影響は小さいものと思われる。なお、図 7 で設計した回路をバイポーラトランジスタを用いた構成についても実験を行い基本動作を確認している。

図 15、図 16 の X-Z 段の回路定数や図 18、20 の  $V_Z/V_X$  特性の実験値から同一極性形 CC II では、電流ホロワ部の周波数特性はマイナス形のほうがプラス形より良好であることがわかる。一方、バイポーラトランジスタを用いた相補形 CC II ではプラス形のほうがマイナス形より良好である<sup>(11),(12)</sup>。図 6、7 に示されるとおり、CC II を個別能動素子で構成した場合、相補形回路、同一極性形回路に区別すると次の傾向があることがわかる。

(1) 相補形 CC II は B 級動作である。つまり、カレントミラーを用いて構成するとプラス形よりマイナス形において多く必要であるためマイナス形のほうが周波数特性が悪い。

(2) 同一極性形 CC II は A 級動作である。つまり、バイアスをかけて構成するとマイナス形はカレントミラーが不要であるため、カレントミラーを用いるプラス形のほうが周波数特性が悪い。

ダイナミックレンジなどのその他の要素も考え合せると、CC II の構成法やプラス形、マイナス形の優劣は一概に決められない。応用回路には状況に応じた選択が適当である。

5. むすび

抽象的な回路の表現からトランジスタを用いた回路を導出するためにノレータを拡張した表記法を提案した。今回提案した拡張したヌラーの表記法はアナログ

電子回路を経験に頼らないで設計するための、また動作を理解するための手助けとなるのが期待できる。

CC II の IC 化に適する回路構成法として、同一極性のトランジスタによる構成法を提案した。CC II では MOSFET による構成でもバイポーラトランジスタによる構成同様、回路の高周波数化の障害はドレーン-ゲート間容量であることが実験結果の解析から明らかになった。更に、相補形と同一極性 CC II におけるプラス形、マイナス形の優劣の関係を実験を通して明らかにした。

今後の課題は、ヌラーについては電位差も考慮に入れた拡張法や、その性質を検討すること。同一極性形 CC II については積極的にドレーン-ゲート間容量を補正する、若しくは MOSFET をデュアルゲートとして用いて第 2 ゲート接地を利用し、帰還容量に対して不感な回路構成を考案することである。

謝辞 本論文を報告するに当たり、日ごろ御討論頂く山本・中山研究室の学生諸氏に感謝申し上げます。

## 文 献

- (1) Sedra A. and Smith K. C.: "A second-generation current conveyor and its applications", IEEE Trans. Circuit Theory, CT-17, 2, pp. 132-134 (Feb. 1970).
- (2) Higashimura M. and Fukui Y.: "Novel method for realising lossless floating admittance using current conveyors", Electron. Lett., 23, 10, pp. 498-499 (May 1987).
- (3) Wilson B.: "Low distortion feedback voltage-current conversion technique", Electron. Lett., 17, 4, pp. 157-159 (Feb. 1981).
- (4) Kumar U. and Shukla S. K.: "Recent developments in current conveyors and their applications", Microelectron. J., 16, 1, pp. 47-52 (1985).
- (5) Sharif-Bakhtiar M. and Aronhime P.: "A current conveyor realization using operational amplifiers", Int. J. Electron., 45, 3, pp. 283-288 (1978).
- (6) Huertas J. L.: "Circuit implementation of current conveyor", Electron. Lett., 16, 6, pp. 225-226 (March 1980).
- (7) Black G., Friedman R. and Sedra A.: "Gyrator implementation with integrable current conveyors", IEEE J. Solid-State Circuit, SC-6, 6, pp. 396-399 (Dec. 1971).
- (8) 深澤秀木, 藤井信生: "カレントコンベアの実現とそのフィルタへの一応用", 信学技報, CAS81-6 (1981-05).
- (9) 後藤直樹, 西尾 誠, 鈴木登紀男: "MOSFET 構成の CC II とスイッチドキャパシタ・フィルタへの適用", 信学論(C), J67-C, 12, pp. 935-940 (1984-12).
- (10) 松浦弘毅, 堀田素志, 山本外史: "カレント・コンベヤ CC II を用いたジャイレータと CR 発振回路", 信学論(C), J64-C, 12, pp. 891-892 (1981-12).
- (11) 堀田素志, 北島康彦, 馬 志強, 山本外史: "相補形トラ

ンジスタを用いた広帯域 CC II の一構成法", 信学論(C-II), J72-C-II, 2, pp. 101-108 (1989-02).

- (12) 北島康彦, 堀田素志, 山本外史: "トランジスタで実現した CC II の高周波特性補償法", 信学論(C-II), J72-C-II, 9, pp. 879-880 (1989-09).
- (13) Grabene A. B.: "Bipolar and Mos Analog Integrated Circuit Design", pp. 83-95, John Wiley & Sons, New York (1984).
- (14) Carlin H. J. and Youla D. C.: "Network synthesis with negative resistors", Proc. Inst. Radio Engrs., 49, pp. 907-920 (May 1961).
- (15) 吉田 功, 岡部健明, 橋本哲一, 越智鹿之, 永田 稷: "複合ゲートによる低損失パワーマOSFET", 信学論(C), J64-C, 12, pp. 851-858 (1981-12).

(平成2年4月9日受付, 9月13日再受付)



湯浅太刀男

昭63金沢大・工・電子卒, 平2同大学院修士課程了。同年富士通株式会社入社。在学中, CC II の特性改善とフィルタ設計に関する研究に従事。



山田 淳司

平2金沢大・工・電気情報卒, 同年横河ヒューレットパッカード株式会社入社。在学中, CC II を用いた能動フィルタの設計に関する研究に従事。



中山 謙二

昭46東工大・工・電子卒, 昭46~47同大学研究生, 昭58工博(東工大), 昭47日本電気株式会社入社。伝送通信事業部およびC&Cシステム研究所勤務, 昭63金沢大・工・電気情報工学科助教授, 平2同教授となり現在に至る。通信用各種フィルタの設計論, デジタル信号処理, 適応信号処理, ニューラルネットなどの研究に従事。昭62.9 IEEE Circuits & Devices Mag. 論文賞受賞。著書「SC回路網の設計と応用」(東海大学出版会)他, IEEE シニア会員。



山本 外史

昭25名大・工・電気卒, 昭32金沢大・工・電気科講師, 昭35同大助教授, 昭39同大電子工学科教授, 昭60同大電気・情報工学科教授, 平2金沢工業大学情報工学科教授, 現在に至る。電子回路, シミュレーションの研究に従事。工博, ME学会会員。